

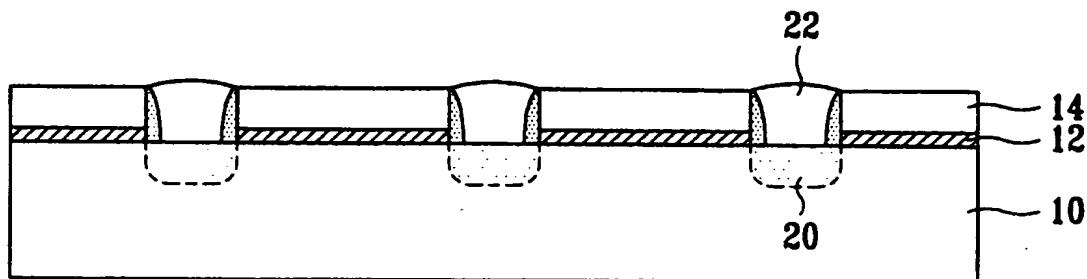
- Publication No. 1019990061132
- Publication Date. 19990726
- Application No. 1019970081386
- Application Date. 19971231
- Applicant: HYUNDAI ELECTRONICS INDUSTRIES CO., LTD.
- Inventor: (1) KIM, KI CHEOL (2) HWANG, YOUNG HO
- Title of Invention: METHOD OF FABRICATING SEMICONDUCTOR DEVICE

Abstract:

PURPOSE: A method of fabricating a semiconductor device is provided to improve yield rate of device production and device reliability by ensuring process margins using SOI (silicon on insulator) and STI (shallow trench isolation) structures.

CONSTITUTION: The method comprises implanting oxygen ions into a p-type semiconductor substrate so that the oxygen ions are located in desired depth and performing a thermal oxidation process to form a buried oxide layer. A substrate with SOI structure comprising a silicon layer and the buried oxide layer is formed. A trench is formed in the substrate with SOI structure to make an STI structure that insulates the p-type semiconductor substrate and the silicon layer.

Representative drawing



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ <u>H01L 27/08</u>	(11) 공개번호 특 1999-0061132 (43) 공개일자 1999년 07월 26일
---	---

(21) 출원번호 10-1997-0081386 (22) 출원일자 1997년 12월 31일
--

(71) 출원인 현대전자산업 주식회사 김영환 경기도 이천시 부발읍 아미리 산 136-1

(72) 발명자 김기철 강원도 삼척시 남양동 17통 3반 173번지 황영호
--

(74) 대리인 경기도 이천시 창전동 동명주택 101 이정훈, 이권희
--

설사청구 : 없음

(54) 반도체 소자의 제조방법

요약

본 발명은 반도체 소자의 제조방법에 관한 것으로, 특히 에스.오.아이(silicon on insulator 이하, SOI) 구조와 에스.티.아이(silicon trench isolation 이하, STI) 구조를 이용하여 셀(cell)과 셀(cell) 사이를 절연시켜 백-바이어스를 가할 수 있도록하여 공정마진을 확보할 수 있어 소자의 생산수율 및 신뢰성을 향상시키는 기술에 관한 것이다.

이를 위해 본 발명은 P형 반도체 기판에 산소이온 임플란트 공정을 실시하여 산소이온이 원하는 깊이에 위치하도록 하고 열산화 공정을 실시하여 형성되는 매몰산화막, 실리콘층을 구비하는 SOI 구조의 기판에 트랜치를 형성하여 셀(P형 반도체기판)과 셀(실리콘층)을 절연시키는 STI구조를 형성하여 백-바이어스를 인가할 수 있게 함으로서 매몰산화층 상부에 벌크가 플로팅되는 문제를 해소하여 소자 동작의 신뢰성을 확보할 수 있는 반도체 소자의 제조방법을 제공한다.

대표도

도 1e

명세서

도면의 간단한 설명

도 1a 내지 도 1e 는 본 발명에 따른 반도체 소자의 제조공정도

도면의 주요 부분에 대한 부호의 설명

10 : 반도체 기판	12 : 매몰산화막
14 : 실리콘층	16 : 트랜치
18 : 스페이서	20 : 필드스톱 불순물영역
22 : 절연막	

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조방법에 관한 것으로, 특히 SOI 및 STI 구조를 이용하여 셀(cell)과 셀(cell) 사이를 절연시켜 백-바이어스를 가할 수 있도록하여 공정마진 확보로 인한 소자의 생산수율 및 신뢰성을 향상시키는 반도체소자의 제조방법에 관한 것이다.

일반적으로, SOI 소자는 두 웨이퍼를 볼인 후 하나의 웨이퍼를 얇게 만드는 비.이(Bond & Etch 이하, BE) 법과, 반도체기판 상부에 소정깊이로 산소를 임플란트(oxygen implanted)한 후 열처리에 의해 베리드 산화막(buried oxide)과 그상부의 실리콘막을 형성하는 시옥스(Separation By Implanted Oxygen 이하, SIMOX) 방법이 사용되고 있다.

상기 SOI 구조의 모스전계효과 트랜지스터(metal oxide semiconduct field effect transistor 이하,

MOSFET라 칭함)는 벌크(bulk) MOSFET가 게이트, 소오스/드레인, 반도체기판의 4 - 터미널(terminal) 구조인데 비하여, 반도체기판에 대한 콘택 및 관련배선에 대한 연결이 필요없기 때문에 게이트, 소오스, 드레인의 3 - 터미널 구조를 가져 칩(chip)의 크기를 소형화할 수 있다.

또한, CMOS를 구현하는 데 있어 웨이브를 형성하지 않으며, 각각의 MOSFET의 활성영역이 서로 절연되어 있기 때문에 래치-업(latch up)을 방지할 수 있다.

그리고, 얇은 실리콘박막에 제작되는 SOI 소자는 소오스/드레인 접합이 필름 두께 전체에 형성되므로, 소오스/드레인의 면 접합 용량(area junction capacitance)이 거의 없고, 페리미터(perimeter)에 의한 접합용량만이 존재한다. 따라서, SOI 소자는 벌크 MOSFET에 비해 고속, 저전력 특성을 갖는다.

그 밖에도, 상기 SOI 소자는 전체적인 아이.씨. 칩(IC chip)의 회로적 요소와 CMOS 회로의 래치-업 사이에서 발생되는 캐패시터 커플링(capacitive coupling)을 감소시키며, 칩 크기 감소 및 패킹밀도 증가로 전체적인 회로의 동작속도를 증가시키고 기생 캐패시턴스와 칩 크기를 감소시키는 특성을 가진다.

또한, 상기 SOI 소자는 핫 일렉트론(Hot electron) 효과감소, 숏채널 효과(Short channel effect) 감소 등과 같은 장점을 가지고 있다.

그러나, 상기 SOI 소자는 매몰산화층(burried oxide layer) 상부에 벌크(bulk)가 플로팅(floating)되는 문제가 발생되어 소자 동작의 신뢰성 확보가 어려우며, 종래의 열산화 필드산화막의 도입은 절연적으로 활성영역의 면적을 감소시켜 소오스/드레인 영역의 공정 마진 부족을 초래하는 문제점이 있다.

또한, 상기 SOI 소자는 벌크에 백-바이어스(back bias)를 가하지 않을 때 문턱전압 시프트(shift)가 상존하는 다른 문제점이 있다.

발명이 이루고자 하는 기술적 과제

이에, 본 발명은 상기한 문제점을 해결하기 위한 것으로 P형 반도체 기판에 산소이온 임플란트 공정을 실시하여 산소이온이 원하는 깊이에 위치하도록 하고 열산화 공정을 실시하여 형성되는 매몰산화막, 실리콘층을 구비하는 SOI 구조의 기판을 형성하고, 상기 기판에 트랜치를 형성하여 셀(P형 반도체기판)과 셀(실리콘층)을 절연시키는 STI 구조를 형성하여 백-바이어스를 인가할 수 있게 함으로서 매몰산화층 상부에 벌크가 플로팅되는 문제를 해소하여 소자 동작의 신뢰성 확보할 수 있는 반도체 소자의 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위해 본 발명에 따르면,

반도체 기판 상부에 매몰산화막과 실리콘층을 구비하는 SOI 기판을 형성하는 공정과,

상기 SOI 기판에서 소자분리 영역으로 예정되어 있는 부분상의 실리콘층과 매몰산화막을 제거하여 트랜치를 형성하는 공정과,

상기 트랜치 내벽에 스페이서를 형성하는 공정과,

상기 트랜치 부분의 노출된 반도체 기판 하부에 필드스톱 불순물영역을 형성하는 공정과,

상기 트랜치를 메우는 절연막을 형성하는 공정을 포함하는 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명에 따른 반도체 소자의 제조방법에 대하여 상세히 설명을 하기로 한다.

도 1a 내지 도 1e 는 본 발명에 따른 반도체 소자의 제조공정도이다.

먼저, P형 반도체 기판(10)에 산소이온 임플란트 공정을 실시하여 산소이온이 원하는 깊이에 위치하도록 한 다음, 열산화 공정을 실시하여 매몰산화막(12)을 형성하고, 그 상부에 매몰산화막(12)에 의해 분리된 실리콘층(14)을 형성하여 반도체 기판(10)과, 매몰산화막(12), 실리콘층(14)을 구비하는 SOI 기판을 형성한다.(도 1a 참조).

다음, 상기 SOI 기판에서 소자분리 영역으로 예정되어 있는 부분의 실리콘층(14)과 매몰산화막(12)을 제거하여 실리콘층(14)패턴과 매몰산화막(12)패턴을 구비하는 트랜치(16)를 형성한다.

이 때, 상기 트랜치(16) 형성시 반도체 기판(10)이 드러나도록 과식각(over etch)을 실시하는데, 이는 상기 매몰산화막(12) 상부에 형성된 실리콘층(14)과 P형 반도체 기판(10) 사이를 전기적으로 도통시킴으로서 백-바이어스 전압을 인가하여 매몰산화막(12) 상부에 벌크(bulk)가 플로팅되는 문제를 해소하기 위한 것이다. (도 1b 참조).

그 다음, 상기 구조의 전표면에 화학기상증착법(CVD)에 의한 보론(B) 이온이 도핑된 폴리실리콘막 또는 CVD법에 의한 폴리실리콘막을 형성한 다음, 전면식각 공정을 실시하여 상기 트랜치(16) 내벽에 스페이서(18)를 형성한다. 여기서, 상기 트랜치(16) 내벽에 스페이서(18) 형성 후 750 ~ 1000 °C 온도에서 열처리공정을 추가로 실시하여 상기 매몰산화막(12) 상부에 형성된 실리콘층(14)과 P형 반도체 기판(10)을 단결정(crystal) 상태의 특성을 갖도록 할 수도 있다. (도 1c 참조).

다음, 상기 트랜치(16) 부분의 노출된 반도체 기판(10) 하부에 필드스톱 불순물영역(20)을 형성한다.

이 때, 상기 필드스톱 불순물영역(20)은 보론 이온을 전면(blanket) 또는 선택적방법으로 이온주입하여 보론 농도가 P형 반도체 기판(10)의 농도 보다 높게 형성한다. (도 1d 참조).

그 다음, 상기 구조의 전표면에 CVD법에 의한 고온산화막(hight temperature silicon oxide 이하, HTO)으로 이루어진 절연막(22)을 형성하여 상기 트랜치(16)를 메우게 된다. 이 때, 상기 절연막(22)의 두께는

트랜치(16)의 임계치수와 높이를 고려하여 충분하게 덮을 수 있는 크기로 형성한다.

다음, 후속 공정으로 상기 절연막(22)에 에치백(etch back) 공정을 실시하여 상기 트랜치(16)의 사이트(site)에만 절연막(22)이 남도록 식각한다.

그 다음, 상기 반도체 기판(10)과 스페이서(18) 사이에 스트레스 완화를 위한 열산화 공정을 추가로 실시한다.(도 1e 참조)

발명의 효과

상기한 바와같이 본 발명에 따르면, SOI 구조에서 산소이온 임플란트 공정을 실시하여 산소이온이 원하는 깊이에 위치하도록 하고 열산화 공정을 실시하여 형성되는 매몰산화막 구조와 기판에 트랜치를 형성하여 셀(P형 반도체기판)과 셀(실리콘총)을 절연시키는 STI구조를 형성하여 백-바이어스를 인가할 수 있게 함으로서 매몰산화층 상부에 벌크가 풀로팅되는 문제를 해소하여 소자 동작의 신뢰성 확보할 수 있다.

또한, 종래의 열산화 필드산화막 형성공정을 대체한 STI 구조를 이용함으로서 활성영역의 면적을 증가시켜 소오스/드레인 영역의 공정 마진 부족을 해소할 수 있어 공정마진을 확보로 인한 소자의 생산수율 및 신뢰성을 향상시키는 이점이 있다.

(57) 청구의 범위

청구항 1

반도체 기판 상부에 매몰산화막과 실리콘총을 구비하는 SOI 기판을 형성하는 공정과,

상기 SOI 기판에서 소자분리 영역으로 예정되어있는 부분상의 실리콘총과 매몰산화막을 제거하여 트랜치를 형성하는 공정과,

상기 트랜치 내벽에 스페이서를 형성하는 공정과,

상기 트랜치 부분의 노출된 반도체 기판 하부에 필드스톱 불순물영역을 형성하는 공정과,

상기 트랜치를 메우는 절연막을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 2

제 1 항에 있어서, 상기 스페이서는 CVD법에 의한 보론이 도핑된 폴리실리콘막 또는 CVD법에 의한 폴리실리콘막으로 형성된 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 3

제 1 항에 있어서, 상기 스페이서 형성 후 750 ~ 1000 °C 온도에서 열처리공정을 추가로 실시하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 4

제 1 항에 있어서, 상기 필드스톱 불순물영역은 보론 이온을 전면(blanket) 또는 선택적방법으로 이온주입 공정을 실시하여 보론 농도가 반도체 기판의 농도 보다 높은 필드 스톱 불순물영역을 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 5

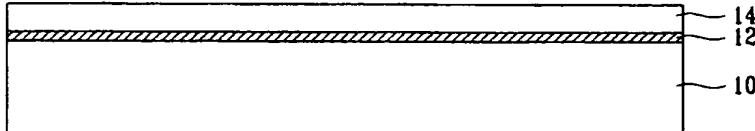
제 1 항에 있어서, 상기 절연막은 CVD법에 의한 HTO막으로 형성하며, 상기 상기 절연막의 두께는 상기 트랜치의 임계치수와 높이를 고려하여 충분하게 덮을 수 있는 크기로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 6

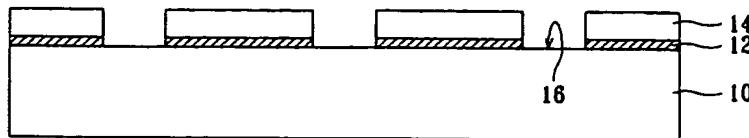
제 1 항에 있어서, 상기 절연막 형성 후 상기 반도체 기판과 스페이서 사이에 스트레스 완화를 위한 열산화 공정을 추가로 실시하는 것을 특징으로 하는 반도체 소자의 제조방법.

도면

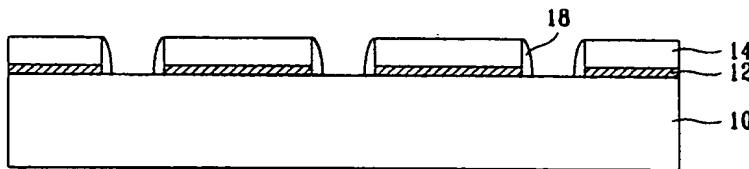
도면 1a



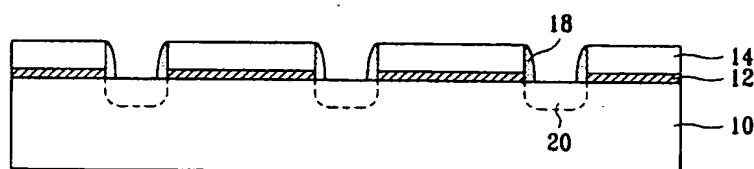
도면 1b



도면 1c



도면 1d



도면 1e

